

**KOREAN INDUSTRIAL  
PROPERTY OFFICE**

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial Property  
Office.

Application Number: Patent Application No. 00-5736

Date of Application: 8 February 2000

Applicant(s): Samsung Electronics Co., Ltd.

12 January 2001

**COMMISSIONER**

1020000005736

2001/1/1

[Document Name] Patent Application

[Application Type] Patent

[Receiver] Commissioner

[Reference No.] 0010

[Filing Date] 2000.02.08

[IPC] H01L

[Title] Semiconductor device with multiple quantum barrier

[Applicant]

[Name] Samsung Electronics Co., Ltd.

[Applicant code] 1-1998-104271-3

[Attorney]

[Name] Young-pil Lee

[Attorney's code] 9-1998-000334-6

[General Power of Attorney Registration No.] 1999-050326-4

[Attorney]

[Name] Hyok-gun Cho

[Attorney's code] 9-1998-000544-0

[General Power of Attorney Registration No.] 2000-002820-3

[Attorney]

[Name] Hae-young Lee

[Attorney's code] 9-1999-000227-4

[General Power of Attorney Registration No.] 2000-002816-9

[Inventor]

[Name] CHO, Si Yeon

[I.D. No.] 680805-1110712

[Zip Code] 156-090

[Address] 71-9 Sadang-dong, Dongjak-gu, Seoul

[Nationality] Republic of Korea

[Request for Examination] Requested

1020000005736

2001/1/1

[Application Order]

We respectively submit an application according to Art. 42 of the Patent Law and request and examination according to Art. 60 of the Patent Law.

Attorney  
Attorney  
Attorney

Young-pil Lee  
Hyok-gun Cho  
Hae-young Lee

[Fee]

|                         |             |             |
|-------------------------|-------------|-------------|
| [Basic page]            | 20 Sheet(s) | 29,000 won  |
| [Additional page]       | 0 Sheet(s)  | 0 won       |
| [Priority claiming fee] | 0 Case(s)   | 0 won       |
| [Examination fee]       | 10 Claim(s) | 429,000 won |
| [Total]                 | 458,000 won |             |

[Enclosures]

1. Abstract and Specification ( and Drawings)\_1 copy

## 대한민국 특허청

KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 2000년 제 5736 호  
Application Number

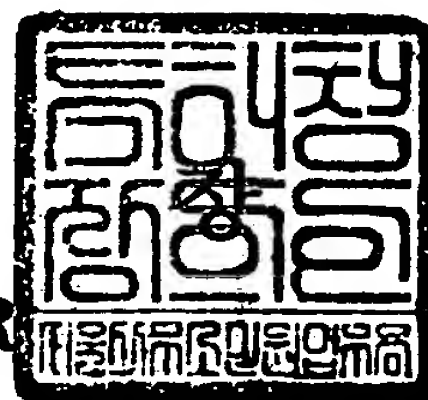
출원년월일 : 2000년 02월 08일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)

2001 년 01 월 12 일

특 허 청

COMMISSIONER



【서류명】 특허출원서  
【권리구분】 특허  
【수신처】 특허청장  
【참조번호】 0010  
【제출일자】 2000.02.08  
【국제특허분류】 H01L  
【발명의 명칭】 다중 양자 장벽을 가진 반도체 소자  
【발명의 영문명칭】 Semiconductor device with multiple quantum barrier  
【출원인】  
    【명칭】 삼성전자 주식회사  
    【출원인코드】 1-1998-104271-3  
【대리인】  
    【성명】 이영필  
    【대리인코드】 9-1998-000334-6  
    【포괄위임등록번호】 1999-050326-4  
【대리인】  
    【성명】 조혁근  
    【대리인코드】 9-1998-000544-0  
    【포괄위임등록번호】 2000-002820-3  
【대리인】  
    【성명】 이해영  
    【대리인코드】 9-1999-000227-4  
    【포괄위임등록번호】 2000-002816-9  
【발명자】  
    【성명의 국문표기】 조시연  
    【성명의 영문표기】 CH0, Si Yeon  
    【주민등록번호】 680805-1110712  
    【우편번호】 156-090  
    【주소】 서울특별시 동작구 사당동 71-9  
    【국적】 KR  
【심사청구】 청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

조혁근 (인) 대리인

이해영 (인)

## 【수수료】

【기본출원료】 20 면 - 29,000 원

【가산출원료】 0 면 - 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 항 429,000 원

【합계】 458,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 GaN을 채용한 반도체 소자에서 많은 캐리어(carrier) 주입에 의하여 발생하는 캐리어 오버플로우(carrier overflow)를 억제하기 위한 다중 양자 장벽을 가진 반도체 소자{Semiconductor Device with Multiple Quantum Barrier}를 기재한다. 본 발명에 따른 다중 양자 장벽을 가진 반도체 소자는 AlGaN/GaN의 겹층이 복수회 적층된 다중 양자 장벽 혹은 AlGaIn/InGaIn의 겹층이 복수회 적층된 스트레인 보상 다중 양자 장벽(Strain-compensating multiple quantum barrier)을 활성층의 상부 및 하부중 어느 일측에 형성한 구조를 갖는다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

다중 양자 장벽을 가진 반도체 소자{Semiconductor device with multiple quantum barrier}

**【도면의 간단한 설명】**

도 1은 종래의 양자 장벽을 가진 반도체 소자의 개략적 수직 단면도,

도 2는 도 1의 양자 장벽을 가진 반도체 소자의 전자 차단 장벽(electron blocking barrier)을 나타내는 에너지 밴드 다이어그램,

도 3은 본 발명에 따른  $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$  다중 양자 장벽 혹은  $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  스트레인 보상 다중 양자 장벽(Strain-Compensating Multiple Quantum Barrier)을 가진 반도체 소자의 제1실시예의 개략적 수직 단면도,

도 4는 도 3의 제1실시예의 스트레인 보상 다중 양자 장벽을 나타내는 에너지 밴드 다이어그램,

도 5는 본 발명에 따른  $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$  다중 양자 장벽 혹은  $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  스트레인 보상 다중 양자 장벽(Strain-Compensating Multiple Quantum Barrier)을 가진 반도체 소자의 제2실시예의 개략적 수직 단면도,

도 6은 도 5의 제2실시예의 스트레인 보상 다중 양자 장벽을 나타내는 에너지 밴드 다이어그램,

도 7은 본 발명에 따른  $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$  다중 양자 장벽 혹은  $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  스트레인 보상 다중 양자 장벽(Strain-Compensating Multiple Quantum Barrier)을 가진 반



도체 소자의 제3실시예의 개략적 수직 단면도,

도 8은 도 3의 실시예의 스트레인 보상 다중 양자 장벽을 나타내는 에너지 밴드 다이어그램,

도 9는 도 3의  $Al_xGa_{1-x}N/In_yGa_{1-y}N$  스트레인 보상 다중 양자 장벽 (Strain-Compensating Multiple Quantum Barrier)의 전자 반사도(electron reflectivity),

그리고 도 10은 종래의 양자 장벽을 가진 반도체 소자와 본 발명에 따른 다중 양자 장벽을 가진 소자의 LI 특성을 나타낸 그래프이다.

<도면의 주요부분에 대한 부호의 설명>

1.  $In_xGa_{1-x}N$  층
2.  $In_yGa_{1-y}N$  층
3.  $Al_zGa_{1-z}N$  전자 차단 장벽(electron blocking barrier)층
4. GaN 광도파층
5.  $In_xGa_{1-x}N$ 층(혹은 InGaN층 혹은 GaN층)
6.  $In_yGa_{1-y}N$ 층(혹은 GaN층 혹은 AlGaN층)
7. AlGaN층
8. GaN층 혹은 InGaN층
9. GaN 광도파층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 GaN을 채용한 반도체 소자에서 많은 캐리어(carrier) 주입에 의하

여 발생하는 캐리어 오버플로우(carrier overflow)를 억제하기 위한 다중 양자 장벽을 가진 반도체 소자{Semiconductor Device with Multiple Quantum Barrier}에 관한 것이다

<19> 도 1은 종래의 반도체 레이저 다이오드 혹은 광 증폭기 등을 구성하는 반도체 소자의 개략적 수직 단면도이다. 도시된 바와 같이,  $\text{In}_y\text{Ga}_{1-y}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 층(1,2)으로 이루어진 다중 양자 우물(MQW; multi-quantum well) 구조의 활성층(1,2) 및 활성층(1,2)을 상부에 적층된  $\text{p-Al}_x\text{Ga}_{1-x}\text{N}$  캐리어 차단층(3) 및  $\text{p,n-GaN}$  광도파층(4)으로 구성되어 있다.

<20> 도 2는 이와 같은 적층 구조의 에너지 밴드 다이어그램으로서, 양자 우물 구조의 캐리어가 캐리어 차단층의 에너지 장벽에 의해 빠져 나갈 수 없도록 형성되어 있다.

<21> 이러한 에너지 밴드 구조는 청록색 레이저 다이오드나 광 증폭기 등의 반도체 소자가 반드시 갖추어야 할 구조이며, 이러한 청록색 레이저 다이오드는 풀 칼라 디스플레이(Full color display)와 DVD 등의 고밀도 기록매체에 필수적으로 요구되고 있는 상황이다.

<22> 즉, 낮은 발진 개시 전류에서 동작하고 좋은 온도 특성을 가지는 청록색 소자를 실현하기 위해서는 활성층 내부의 전류 주입 즉, 캐리어 주입이 효율적이고 활성층을 넘어 통과하는 캐리어의 수를 감소시키는 효율적인 구조를 설계하는 것이 필수적이다. 일반적으로 이러한 캐리어 오버플로우(overflow)를 막기 위하여 도 1에 도시된 바와 같은 캐리어로서의 전자를 차단하는 전자 차단(electron blocking)층(3)을 삽입하는 기술이 사용되고 있다.

<23> GaN 화합물 반도체를 기본으로 하여 제작되는 GaN 청록색 레이저는 GaN와 격자상수

가 일치하는 기판이 존재하지 않기 때문에 결국 MOCVD 등의 방법으로 성장되는 GaN, InGaN, AlGaIn 등의 결정의 품질(quality)이 좋지 못하다. 이것은 활성층으로 사용되는 InGaIn의 광 이득의 감소를 가져온다. 따라서 레이저가 발진하기 위해서는 매우 많은 주입 전류, 즉 매우 많은 수의 캐리어를 요구하게 된다. 더욱이, 전류의 주입이 증가하게 되면, 활성층 뿐만 아니라, 장벽으로 사용되는 GaN나 AlGaIn층으로의 캐리어 오버플로우(carrier overflow)가 증가하게 되어 효율적인 레이저의 발진이 불가능하게 된다. 이를 개선하기 위하여, 도 1에 도시된 바와 같이, 200 Å 두께로 증착된 AlGaIn의 캐리어 차단(carrier blocking)층을 삽입하는 구조가 Nichia 등 많은 연구 그룹에서 사용되고 있다. 그러나, AlGaIn 단일층의 삽입은 장벽 이상의 에너지를 가지는 캐리어 오버 플로우(carrier overflow)는 거의 막을 수 없다. 높은 에너지를 가지는 캐리어를 차단(blocking)하기 위해서는 Al의 함량(mole fraction)이 큰 AlGaIn층을 사용하여야 하는데, 이것은 격자상수가 맞지 않는 GaIn층과의 부가적인 스트레인(additional strain)을 발생시켜 시료의 균열(crack)을 발생시키는 원인이 된다. 또한, 효율적인 캐리어 차단(carrier blocking)을 위해서는 p형 불순물의 도핑이 필수적인데 Al의 mole fraction이 큰 AlGaIn층에 p형 물질을 도핑하기는 매우 어려운 것으로 알려져 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <24> 본 발명은 상기와 같은 문제점을 개선하고자 창안한 것으로, 스트레인 보상 다중 양자 격벽(strain-compensating multiple quantum barrier)을 형성하여 활성층에 주입되는 전류가 격벽(barrier)으로 오버플로우(overflow)하는 것을 효과적으로 차단(blocking)하고, 스트레인(strain)의 발생을 최소화하는 다중 양자 장벽을 가진 반도체 소자를 제공하는데 그 목적이 있다.

# 【발명의 구성 및 작용】

<25>       상기와 같은 목적을 달성하기 위하여 본 발명에 따른 다중 양자 장벽을 가진 반도체 소자는,  $0 < x < 1$  이라 할 때, GaN계 화합물 반도체로 형성된 활성층; 및 상기 활성층의 상부 및 하부에 각각  $Al_xGa_{1-x}N$ 층 및 GaN층의 겹층을 적어도 2회 이상 반복 적층하여 에너지 밴드가 복수개의 다중 양자 장벽 구조를 갖도록 상기 활성층의 상부 및 하부 중 적어도 어느 일측에 형성된 다중 양자 장벽층들을 구비한 것을 특징으로 한다.

<26>       본 발명에 있어서, 상기 활성층 혹은 다중 양자 장벽층들의 상하부에는 각각 GaN 광도파층이 더 구비되고, 상기 활성층은  $In_xGa_{1-x}N$ 층과  $In_yGa_{1-y}N$ 층의 겹층, InGaN층과 GaN층의 겹층 및 GaN층 및 AlGaN층의 겹층들 중 어느 한 겹층이 복수회 이상 적층되어 다중 양자 우물 구조로 형성된 것이 바람직하다.

<27>       또한, 본 발명에 있어서, 상기 상부 및 하부의 다중 양자 우물 장벽층은 상기  $Al_xGa_{1-x}N$ 층 및 GaN층의 겹층들마다 상기  $Al_xGa_{1-x}N$ 층들 혹은 상기 GaN층들의 두께를 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성하거나; 혹은 상기  $Al_xGa_{1-x}N$ 층들의 Al 함량을 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성한 것도 바람직하다.

<28>       또한, 본 발명에 있어서,  $0 < x < 1$ 이라 하고,  $0 < y \leq 1$ 이라 할 때, 상기 다중 양자 장벽층은  $Al_xGa_{1-x}N$ 층 및  $In_yGa_{1-y}N$ 층의 겹층을 적어도 2회 이상 반복 적층하여 에너지 밴드가 복수개의 다중 양자 장벽 구조를 갖도록 형성된 것도 바람직하다. 이 경우, 상기 다중 양자 장벽층은 상기  $Al_xGa_{1-x}N$ 층 및  $In_yGa_{1-y}N$ 층의 겹층들마다 상기  $Al_xGa_{1-x}N$ 층들 혹은  $In_yGa_{1-y}N$ 층들의 두께를 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성하거나, 혹은 상기 Al

$x\text{Ga}_{1-x}\text{N}$ 층들의 Al 함량을 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성한다.

<29> 이하 도면을 참조하면서 본 발명에 따른 다중 양자 장벽을 가진 반도체 소자를 상세하게 설명한다.

<30> 본 발명은 GaN을 채용한 반도체 소자에서 주로 다중 양자 우물(multiple quantum well; MQW) 구조로 형성되는 활성층에 많은 캐리어(carrier)를 주입함으로써 발생하는 캐리어 오버플로우(carrier overflow)를 억제하기 위한 구조로서, 도 3 내지 도 8에 도시된 바와 같이, 다중 양자 장벽(multiple quantum barrier; MQB)을 활성층의 상부 및 하부 중 적어도 어느 일측에 형성한 것을 특징으로 한다. 즉, 도 3에 도시된 바와 같이, 다중 양자 장벽층들(7,8)을 활성층(5, 6) 상부에만 형성하거나, 도 5에 도시된 바와 같이, 다중 양자 장벽층들(7,8)을 활성층(5, 6) 하부에만 형성하거나, 도 7에 도시된 바와 같이, 다중 양자 장벽층들(7,8)을 활성층(5, 6) 상하부 양측에 형성한다. 도 4, 도 6 및 도 8은 각각 도 3, 도 5 및 도 7의 실시예의 에너지 밴드 다이어그램이다.

<31> 도시된 바와 같이, 본 발명에 따른 다중 양자 장벽을 갖는 반도체 소자는 GaN계 화합물 반도체로 형성된 단일 활성층(미도시) 혹은  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과  $\text{In}_y\text{Ga}_{1-y}\text{N}$ 층의 겹층,  $\text{InGaN}$ 층과 GaN층의 겹층 및 GaN층 및  $\text{AlGaIn}$ 층의 겹층들 중 어느 한 겹층이 복수회 이상 적층되어 다중 양자 우물 구조로 형성된 활성층(5, 6)에 주입된 장벽 이상의 에너지를 가지는 캐리어(carrier)의 오버플로우(overflow)를 차단(blocking)하는 차단층을 삽입하여 막되, 차단 효과를 극대화하는 동시에 차단층에 의한 스트레인(strain)의 영향을 최소화하기 위하여, 차단층으로  $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 층과 GaN층의 겹층 혹은  $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 층과  $\text{In}_y\text{Ga}_{1-y}\text{N}$ 층의 겹층을 적어도 2회 이상 반복 적층하여 에너지 밴드가 복수개의 다중 양자 장벽 구

조를 갖는 스트레인 보상 다중 양자 장벽(Strain-compensating multiple quantum barrier)층(7, 8)을 형성한다. 이 때,  $0 < x < 1$ 이고,  $0 < y \leq 1$ 이다.

<32> 특히, 상부 및 하부의 스트레인 보상 다중 양자 우물 장벽층(7,8)이  $Al_xGa_{1-x}N$ 층(7) 및 GaN층(7)의 겹층들로 형성되는 경우에는 이들 겹층들마다  $Al_xGa_{1-x}N$ 층(7)들 혹은 GaN층(8)들의 두께를 다르게 하여 형성하여 다중 양자 장벽들의 에너지 준위를 다르게 형성하거나, 혹은  $Al_xGa_{1-x}N$ 층(7)들마다 Al 함량을 다르게 하여 각 층마다 장벽들의 에너지 준위를 다르게 한다.

<33> 또한, 상부 및 하부의 스트레인 보상 다중 양자 우물 장벽층(7, 8)이  $Al_xGa_{1-x}N$ 층(7) 및  $In_yGa_{1-y}N$ 층(8)의 겹층을 적어도 2회 이상 반복 적층하여 형성되는 경우에도, 이 스트레인 보상 다중 양자 장벽층(7, 8)은 겹층들마다  $Al_xGa_{1-x}N$ 층(7) 혹은  $In_yGa_{1-y}N$ 층(8)들의 두께를 다르게 하여 다중 양자 장벽들의 에너지 준위를 다르게 하거나, 혹은 겹층들마다  $Al_xGa_{1-x}N$ 층(7)들의 Al 함량을 다르게 하여 다중 양자 장벽들의 에너지 준위를 다르게 한다.

<34> 이와 같이 형성된 스트레인 보상 다중 양자 장벽(multiple quantum barrier) 겹층(7, 8)이 다중 양자 우물 구조(5, 6)의 활성층에 주입된 캐리어를 차단(carrier blocking)하는 원리는 다음과 같다.

<35> 캐리어의 파동적 성격에 의하여 다중 양자 장벽(multiple quantum barrier) 내부의 양자 우물에 구속되는 양자 효과에 의하여 단일 격벽의 캐리어 장벽(carrier blocking)보다 캐리어 오버플로우(carrier overflow)를 감소시키는 것이다.

<36> 도 9는 종래의 AlGaIn 단일층 캐리어 차단 장벽(carrier blocking barrier)(10)과

Al<sub>x</sub>Ga<sub>1-x</sub>N/GaN 다중 양자 장벽(Multiple Quantum Barrier)(11)과 Al<sub>x</sub>Ga<sub>1-x</sub>N/In<sub>y</sub>Ga<sub>1-y</sub>N 스트레인 보상 다중 양자 장벽(Strain-Compensating Multiple Quantum Barrier)(12)에 의한 캐리어 반사도(carrier reflectivity)를 계산한 그래프이다. 나타난 바와 같이, 다중 양자 장벽(Multiple Quantum Barrier)의 양자 효과에 의하여 실제 에너지 준위 차이에 의한 에너지 장벽들이, 주입되는 캐리어(carrier)의 입장에서는 매우 높아진 것을 알 수 있다. 특히 Al<sub>x</sub>Ga<sub>1-x</sub>N/In<sub>y</sub>Ga<sub>1-y</sub>N 스트레인 보상 다중 양자 장벽(Strain-Compensating Multiple Quantum Barrier)의 경우, 더 높은 에너지의 캐리어(carrier) 까지 반사율이 높아 더욱 효과적인 에너지 장벽으로 사용될 수 있다. 더욱이, Al<sub>x</sub>Ga<sub>1-x</sub>N/In<sub>y</sub>Ga<sub>1-y</sub>N 스트레인 보상 다중 양자 장벽(Strain-Compensating Multiple Quantum Barrier)의 경우에는, AlGa<sub>x</sub>N이 GaN과 인장 스트레인(tensile strain)을 가지고, 반대로 InGa<sub>y</sub>N은 GaN과 압축 스트레인(compressive strain)을 가지므로 서로 스트레인 보상(strain compensating)이 이루어져 성장시 크랙(crack)이 존재하지 않으면서도 두꺼운 층의 양자 장벽을 성장시킬 수 있어 더욱 효율적이다.

<37> 설명된 바와 같이, 본 발명에 따른 반도체 소자는 활성층에서 비활성층으로의 캐리어 오버플로우(carrier overflow)를 억제하기 위해 활성층 영역 다음에 AlGa<sub>x</sub>N/GaN 겹층 혹은 AlGa<sub>x</sub>N/InGa<sub>y</sub>N 겹층을 반복적으로 성장시킨 다중 양자 장벽 구조를 갖는다. 이 다중 양자 장벽은 활성층에 많은 수의 캐리어(carrier)를 주입하는 경우에 발생하는 캐리어 오버플로우(carrier overflow)를 억제하는 효과는 동일한 레이저 구조에서 종래의 전자 차단(electron blocking)층을 삽입한 구조와 본 발명에서 제안된 Al<sub>x</sub>Ga<sub>1-x</sub>N/GaN 다중 양자 격벽(Multiple Quantum Barrier)을 채용한 구조의 레이저 발진 특성을 비교함으로써 그 특성을 살펴볼 수 있다.

<38> 도 10은 위의 두 구조의 LI특성을 나타내었다. 종래의 적층 구조에서의 LI 특성 그래프(13)에서 발진 개시 전류는 550mA정도이고, 본 발명에 따라 제안된 레이저 구조에서의 LI 특성 그래프(14)에서 발진 개시 전류는 270mA 정도의 값으로 절반 정도 감소하였음을 볼 수 있다. 사용된 시료가 동일한 활성층 구조를 가지므로 캐리어(carrier)에 의한 광 이득값이 동일하다고 가정할 수 있으므로 발진 개시 전류의 감소는 동일한 전류 주입시, 효율적인 캐리어 오버플로우(carrier overflow)가 가능하여 활성층에 존재하는 캐리어(carrier) 수가 증가하여 광이득이 증가한 것을 의미한다.

#### 【발명의 효과】

- <39> 이상 설명한 바와 같이, 본 발명에 따른 다중 양자 장벽을 가진 반도체 소자는 AlGa<sub>N</sub>/Ga<sub>N</sub>의 접층이 복수회 적층된 다중 양자 장벽 혹은 AlGa<sub>N</sub>/InGa<sub>N</sub>의 접층이 복수회 적층된 스트레인 보상 다중 양자 장벽(Strain-compensating multiple quantum barrier)을 활성층의 상부 및 하부중 어느 일측에 형성함으로써 다음과 같은 효과를 얻는다.
- <40> 1. 활성층으로부터 오버플로우(overflow)되는 캐리어(carrier) 양이 저감된다.
- <41> 2. AlGa<sub>N</sub>/InGa<sub>N</sub> 스트레인 보상 다중 양자 장벽의 경우 스트레인 보상(strain compensating)에 의해 반도체 소자 내의 스트레인(strain)이 많이 상쇄되어 저감된다.
- <42> 3. 반도체 소자의 발진 개시 전류가 감소된다.
- <43> 4. 반도체 소자의 온도 특성이 향상된다.
- <44> 5. 반도체 소자의 수명(lifetime)이 증대된다.



## 【특허청구범위】

## 【청구항 1】

$0 < x < 1$  이라 할 때,

GaN 계 화합물 반도체로 형성된 활성층; 및

상기 활성층의 상부 및 하부에 각각  $Al_xGa_{1-x}N$ 층 및 GaN층의 겹층을 적어도 2회 이상 반복 적층하여 에너지 밴드가 복수개의 다중 양자 장벽 구조를 갖도록 상기 활성층의 상부 및 하부 중 적어도 어느 일측에 형성된 다중 양자 장벽층들;을

구비한 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

## 【청구항 2】

제1항에 있어서,

상기 활성층 혹은 다중 양자 장벽층들의 상하부에는 각각 GaN 광도파층이 더 구비된 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

## 【청구항 3】

제1항에 있어서,

상기 활성층은  $In_xGa_{1-x}N$ 층과  $In_yGa_{1-y}N$ 층의 겹층, InGaN층과 GaN층의 겹층 및 GaN층 및 AlGaN층의 겹층들 중 어느 한 겹층이 복수회 이상 적층되어 다중 양자 우물 구조로 형성된 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

## 【청구항 4】

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 다중 양자 장벽층은 상기  $Al_xGa_{1-x}N$ 층 및 GaN층의 겹층들마다 상기  $Al_xGa_{1-x}N$ 층들의 두께를 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성한 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

#### 【청구항 5】

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 다중 양자 장벽층은 상기  $Al_xGa_{1-x}N$ 층 및 GaN층의 겹층들마다 상기 GaN층들의 두께를 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성한 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

#### 【청구항 6】

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 다중 양자 장벽층은 상기  $Al_xGa_{1-x}N$ 층 및 GaN층의 겹층들마다 상기  $Al_xGa_{1-x}N$ 층들의 Al 함량을 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성한 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

#### 【청구항 7】

제1항 내지 제3항 중 어느 한 항에 있어서,

$0 < x < 1$ 이라 하고,  $0 < y \leq 1$ 이라 할 때,

상기 다중 양자 장벽층은  $Al_xGa_{1-x}N$ 층 및  $In_yGa_{1-y}N$ 층의 겹층을 적어도 2회 이상 반복 적층하여 에너지 밴드가 복수개의 다중 양자 장벽 구조를 갖도록 형성된 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

## 【청구항 8】

제7항에 있어서,

상기 다중 양자 장벽층은 상기  $Al_xGa_{1-x}N$ 층 및  $In_yGa_{1-y}N$ 층의 겹층들마다 상기  $Al_xGa_{1-x}N$ 층들의 두께를 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성한 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

## 【청구항 9】

제7항에 있어서,

상기 다중 양자 장벽층은 상기  $Al_xGa_{1-x}N$ 층 및  $In_yGa_{1-y}N$ 층의 겹층들마다 상기  $In_yGa_{1-y}N$ 층들의 두께를 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성한 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

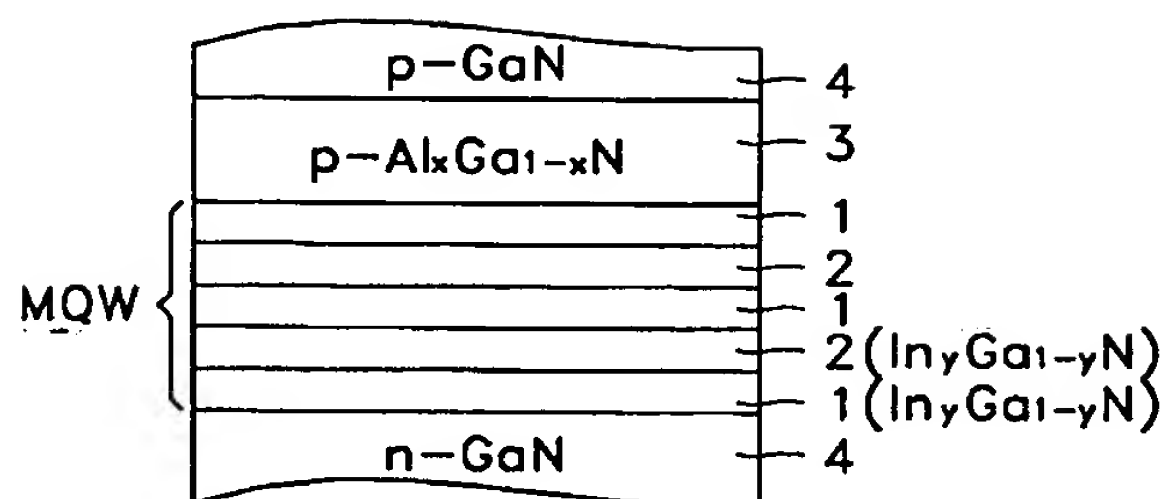
## 【청구항 10】

제7항에 있어서,

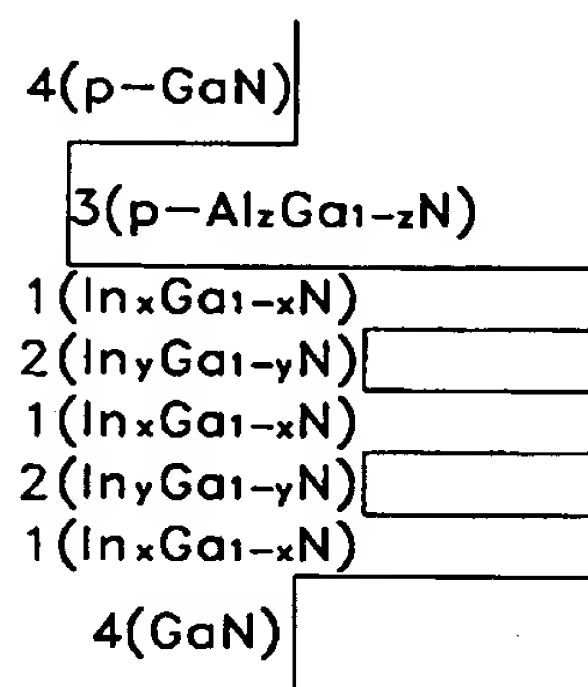
상기 다중 양자 장벽층은 상기  $Al_xGa_{1-x}N$ 층 및  $In_yGa_{1-y}N$ 층의 겹층들마다 상기  $Al_xGa_{1-x}N$ 층들의 Al 함량을 다르게 하여 형성되는 다중 양자 장벽들의 에너지 준위를 다르게 형성한 것을 특징으로 하는 다중 양자 장벽을 가진 반도체 소자.

## 【도면】

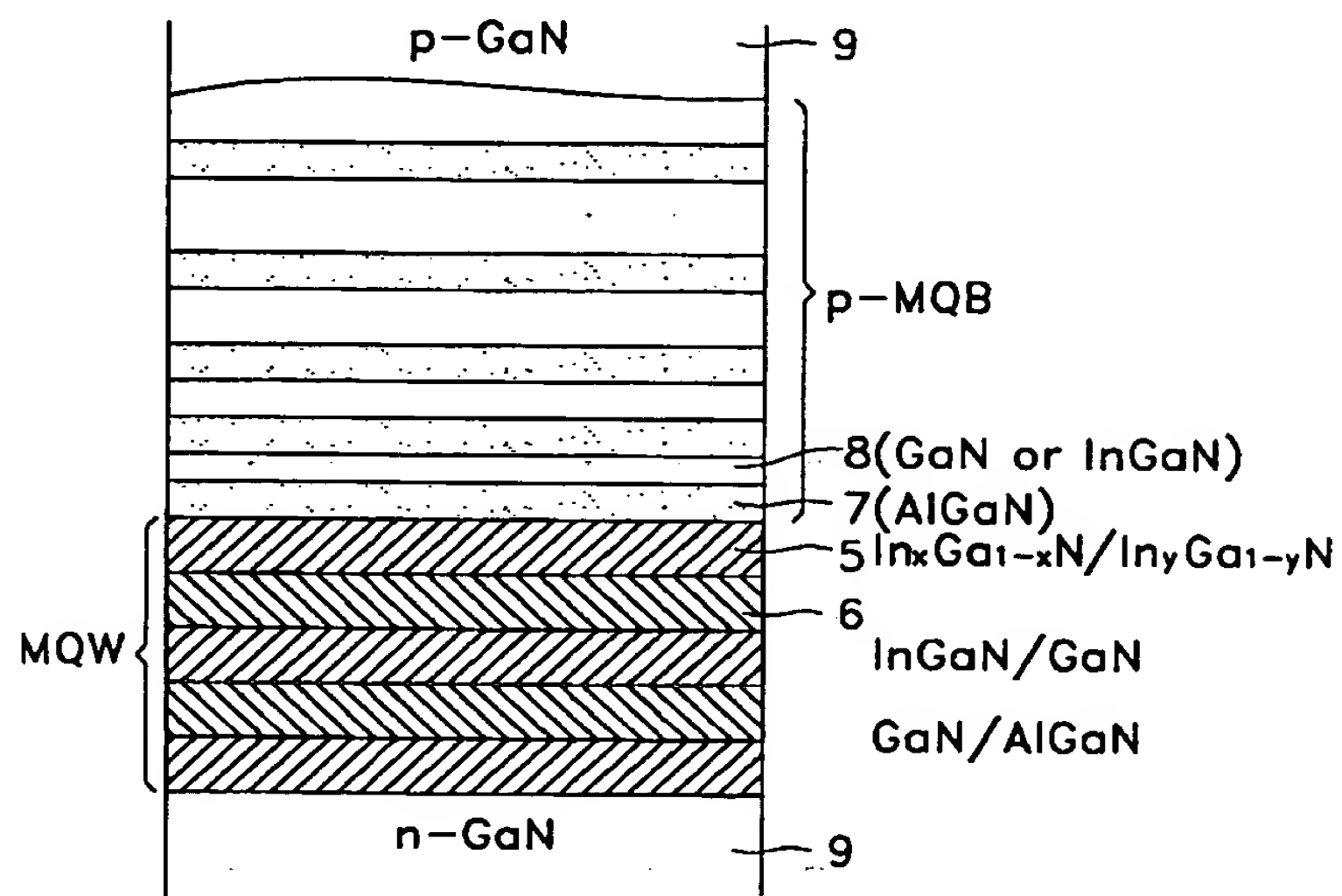
【도 1】



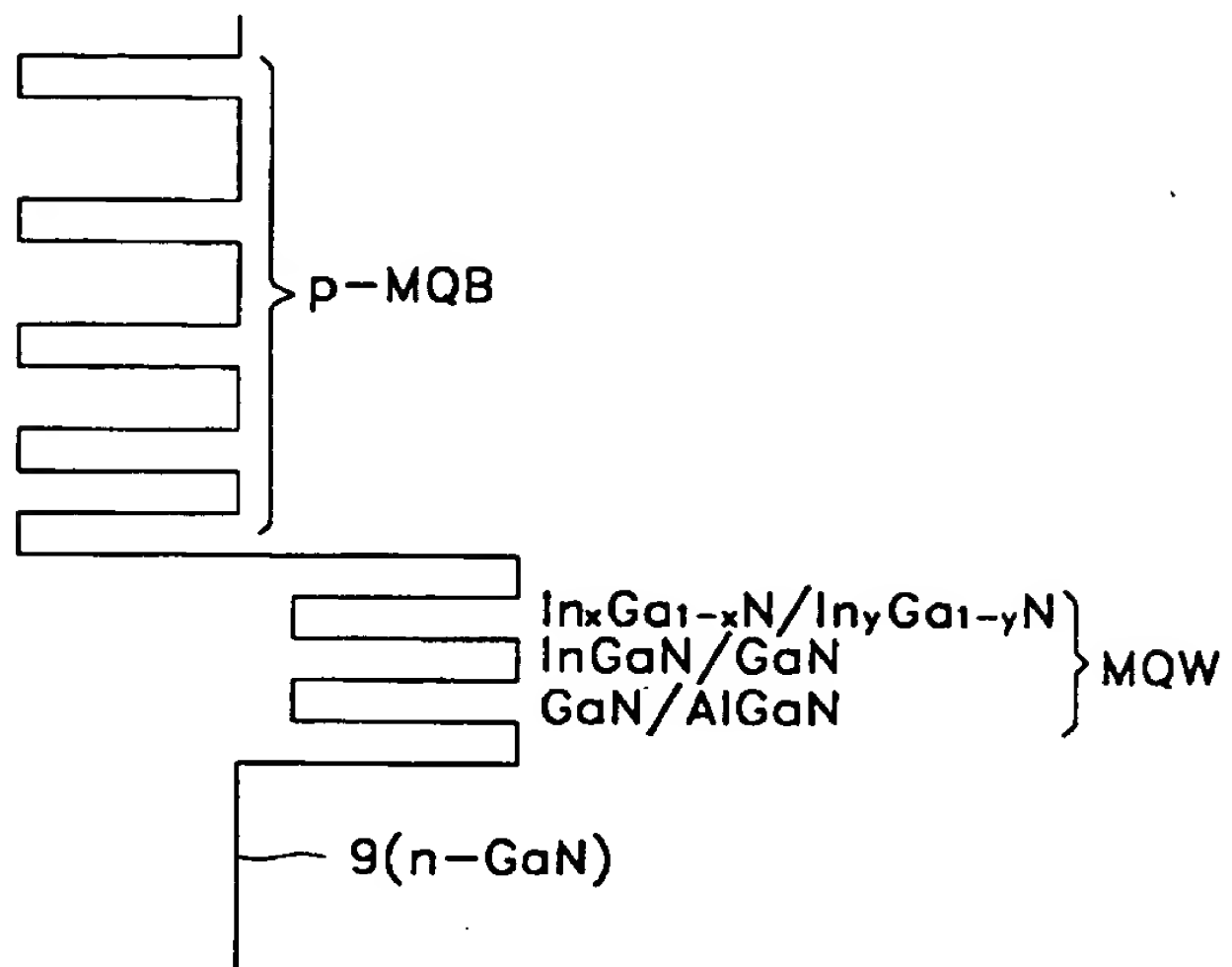
【도 2】



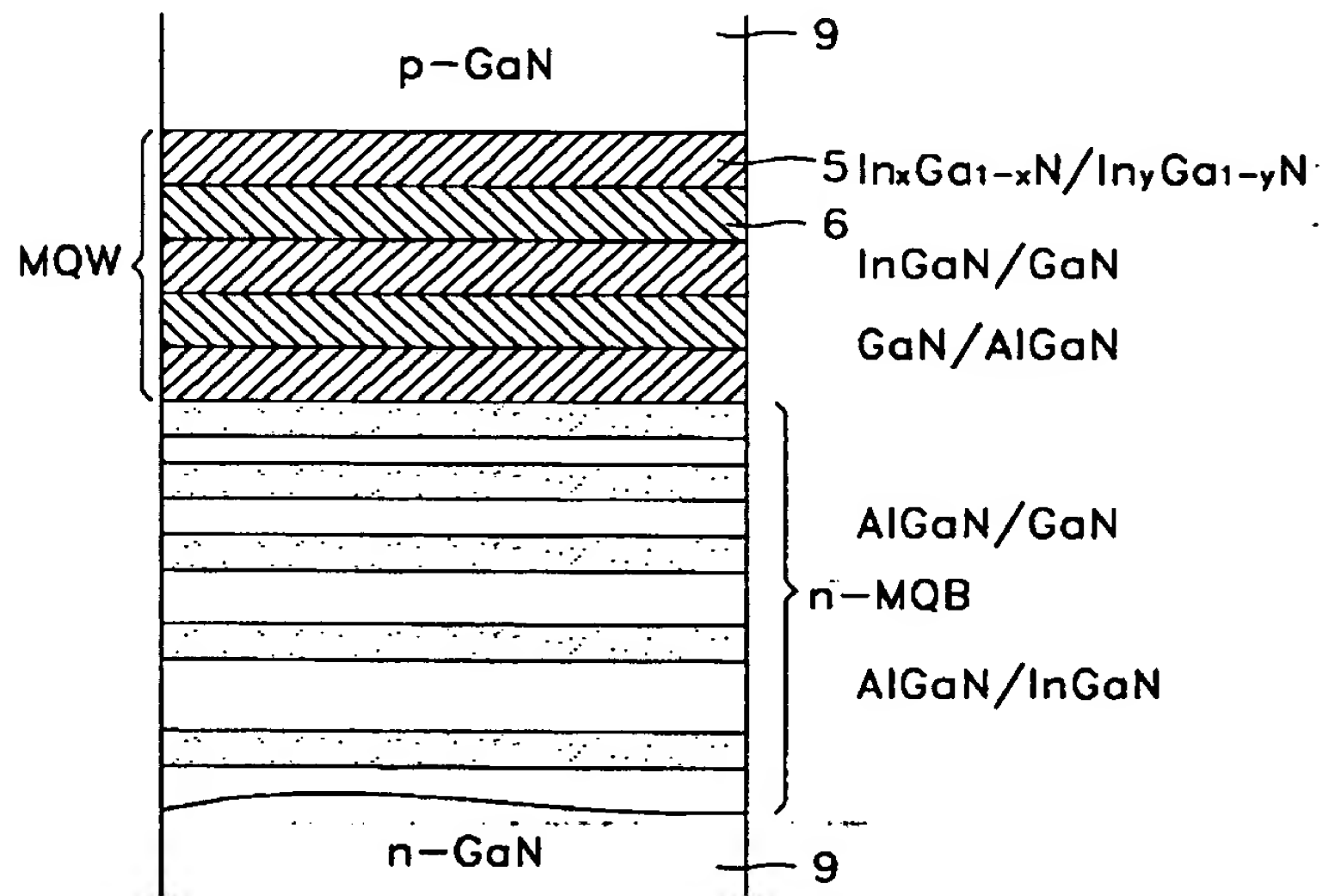
【도 3】



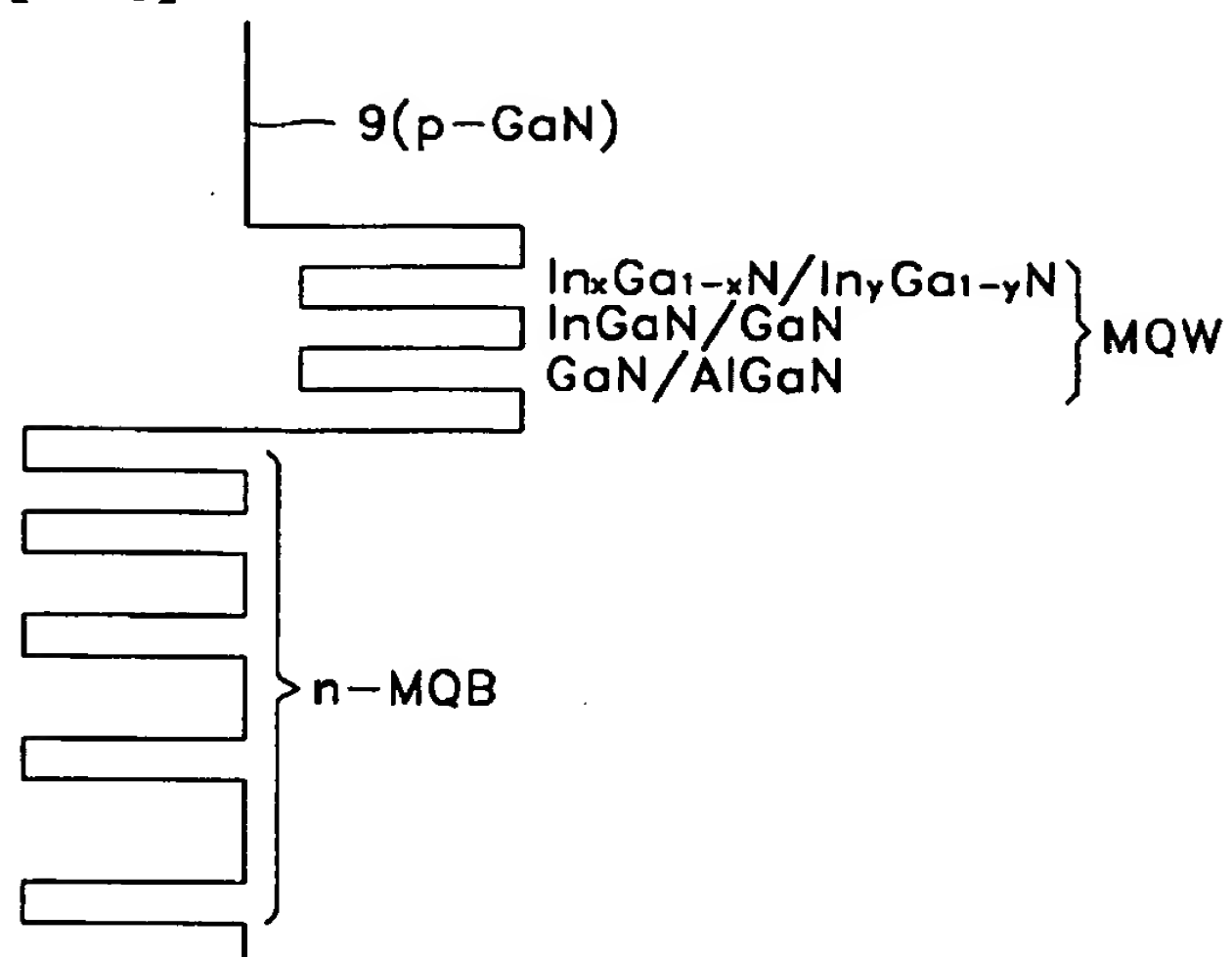
【図 4】



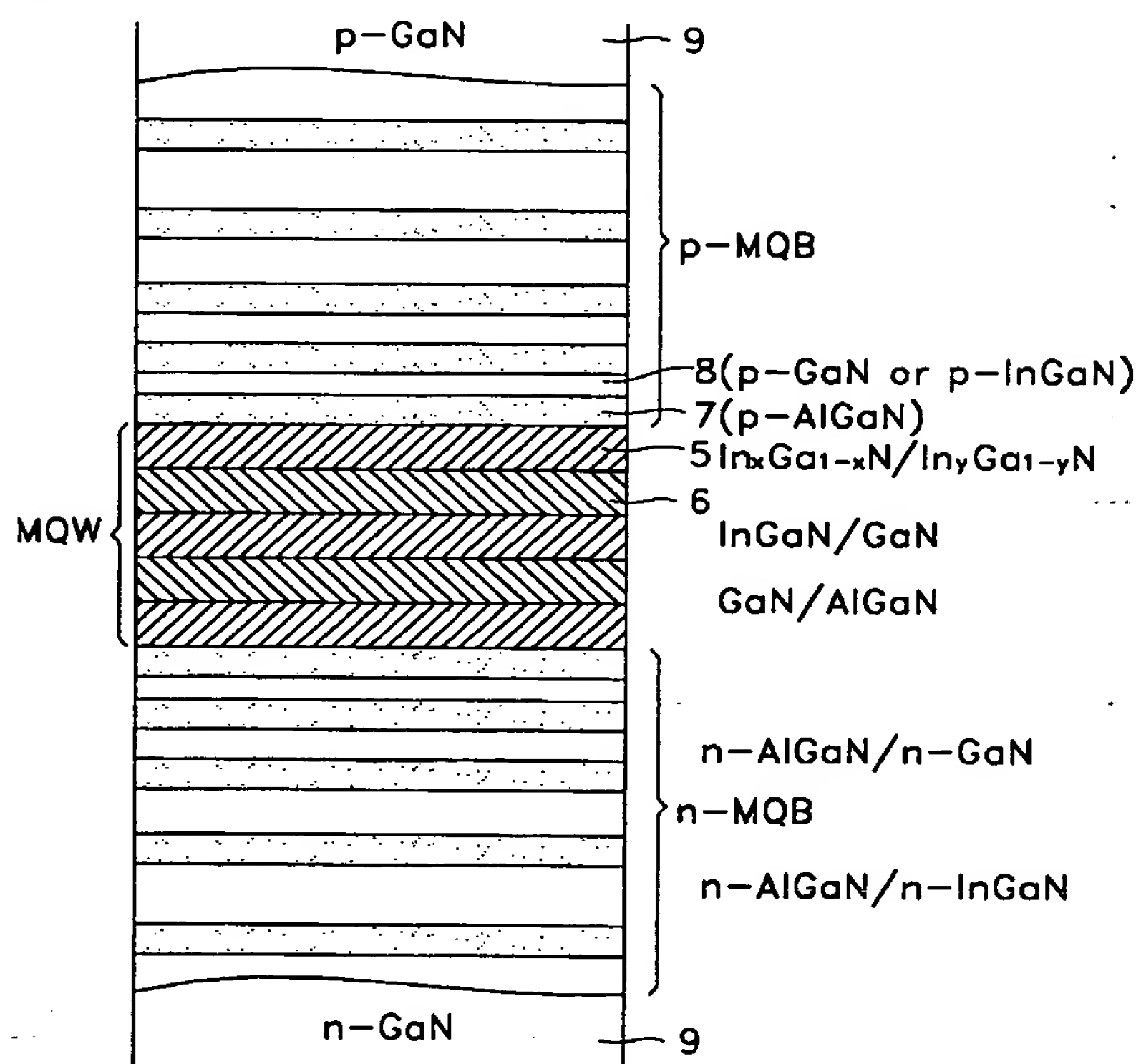
【図 5】



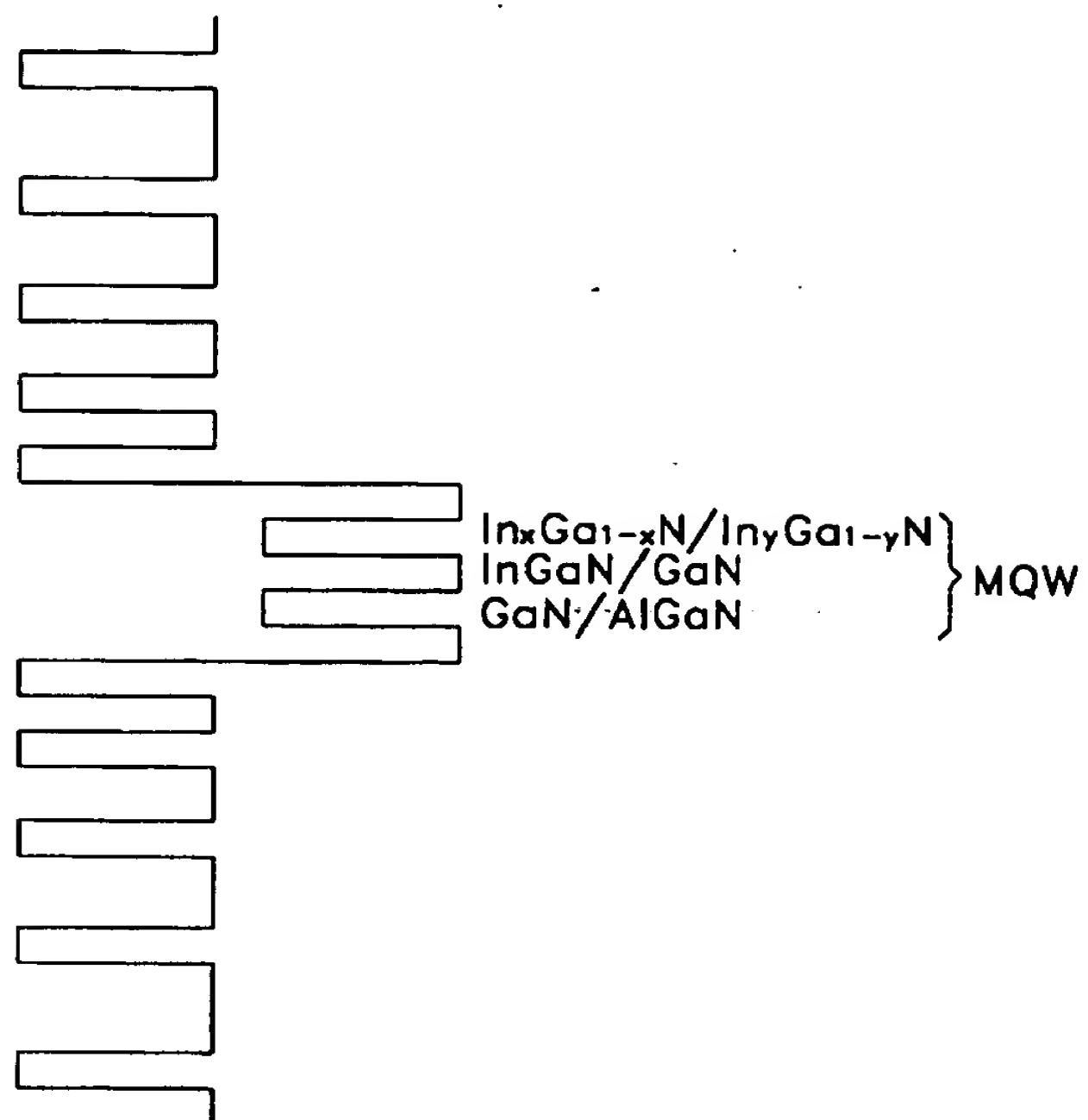
【도 6】



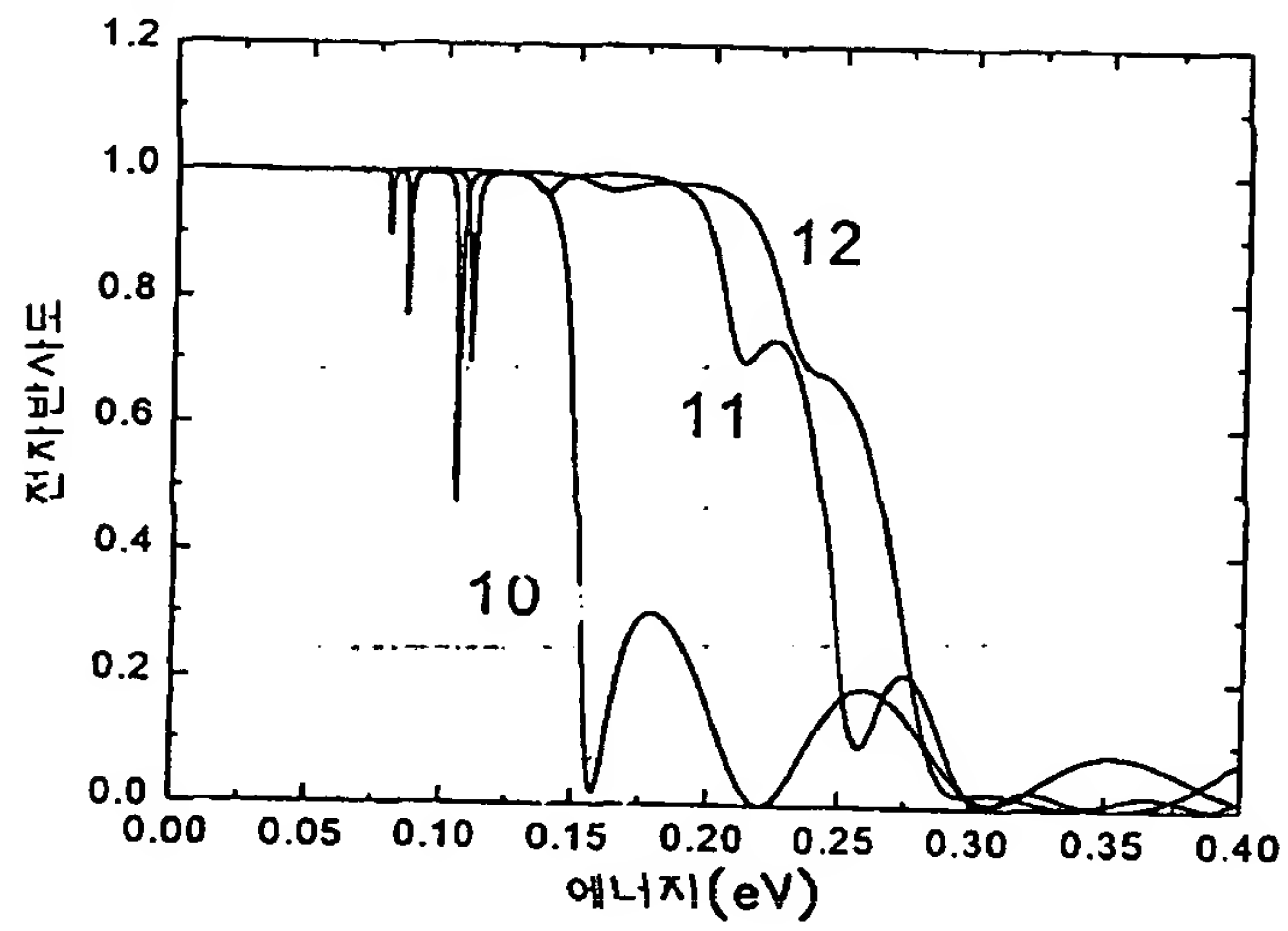
【도 7】



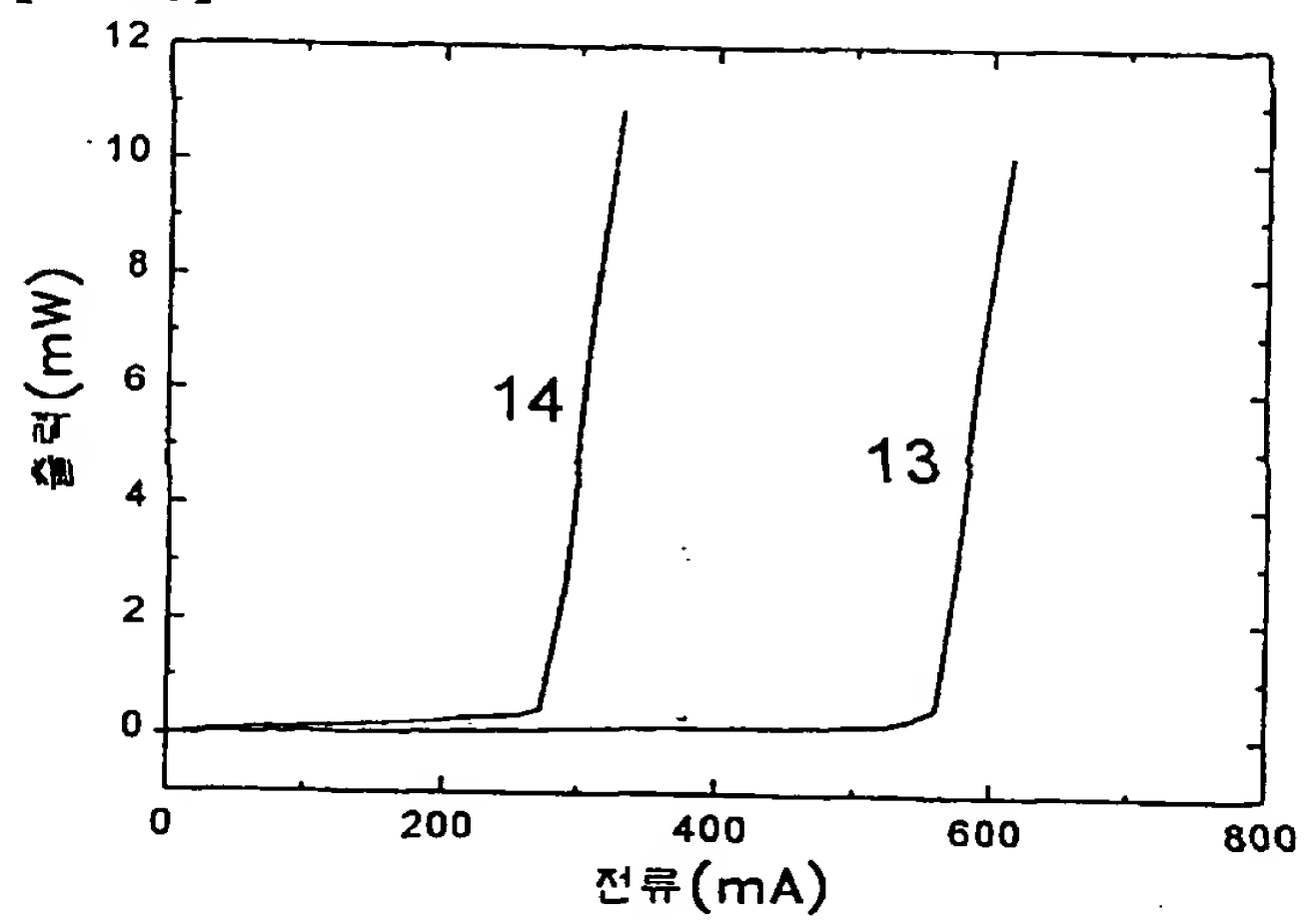
【도 8】



【도 9】



【도 10】





|            |                     |      |
|------------|---------------------|------|
| 【서류명】      | 서지사항                | 보정서  |
| 【수신처】      | 특허청장                |      |
| 【제출일자】     | 2000.03.11          |      |
| 【제출인】      |                     |      |
| 【명칭】       | 삼성전자                | 주식회사 |
| 【출원인코드】    | 1-1998-104271-3     |      |
| 【사건과의 관계】  | 출원인                 |      |
| 【대리인】      |                     |      |
| 【성명】       | 이영필                 |      |
| 【대리인코드】    | 9-1998-000334-6     |      |
| 【포괄위임등록번호】 | 1999-009556-9       |      |
| 【대리인】      |                     |      |
| 【성명】       | 조혁근                 |      |
| 【대리인코드】    | 9-1998-000544-0     |      |
| 【포괄위임등록번호】 | 2000-002820-3       |      |
| 【대리인】      |                     |      |
| 【성명】       | 이해영                 |      |
| 【대리인코드】    | 9-1999-000227-4     |      |
| 【포괄위임등록번호】 | 2000-002816-9       |      |
| 【사건의 표시】   |                     |      |
| 【출원번호】     | 10-2000-0005736     |      |
| 【출원일자】     | 2000.02.08          |      |
| 【심사청구일자】   | 2000.02.08          |      |
| 【발명의 명칭】   | 다중 양자 장벽을 가진 반도체 소자 |      |
| 【제출원인】     |                     |      |
| 【접수번호】     | 1-1-00-0022296-94   |      |
| 【접수일자】     | 2000.02.08          |      |
| 【보정할 서류】   | 특허출원서               |      |
| 【보정할 사항】   |                     |      |
| 【보정대상 항목】  | 대리인                 |      |
| 【보정방법】     | 정정                  |      |

